

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-104660

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

G02F 1/136

H01L 29/786

(21)Application number : 08-262785

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.10.1996

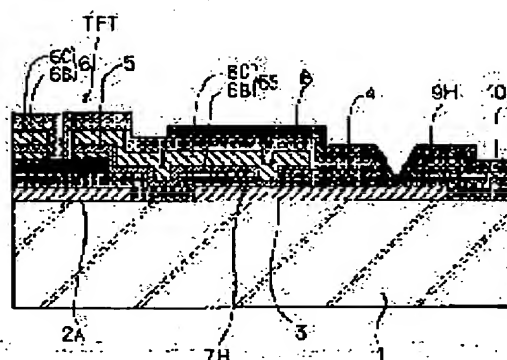
(72)Inventor : KANEKO TOSHITERU  
ONO KIKUO  
NAKAYOSHI YOSHIAKI  
SUZUKI NOBUYUKI  
SAITO YUTAKA

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a drain signal line from being broken by forming a source electrode in two-layered structure of different kinds of metal formed of the same materials with a drain signal line, and forming its lower layer of a conductive layer for contact and a material providing excellent contact and the other layer of a material with good coverage.

**SOLUTION:** The source electrode 6S in laminate structure has its lower metal layer 6B identical to the conductive layer 3 for contact, so an excellent connection with the conductive layer 3 for contact can be made. Further, the source electrode 6S has its upper metal layer 6 formed of Al or alloy, so what is called the coverage characteristics are excellent, so that sufficient coverage can be obtained even if a contact hole 7H has a steep step. The same effect can be obtained as to a drain signal line 6 and then step cutting at the overpass part of a step formed of a gate signal line 2 crossing the drain signal line can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] The thin film transistor turned on with the scan signal supplied to each pixel field of the field by the side of one liquid crystal at a gate signal line among the transparence substrates by which opposite arrangement is carried out through liquid crystal, While having the pixel electrode with which the video signal supplied to a drain signal line through this thin film transistor is impressed and forming said pixel electrode on the protective coat In the liquid crystal display which is connected with the source electrode of a thin film transistor positioned in the lower layer of this protective coat, and is formed with the ingredient as a drain signal line with the same source electrode of a parenthesis The good conductive layer for contact of said pixel electrode and contact is prepared. While the source electrode of this thin film transistor is connected to the end section of this conductive layer for contact through the contact hole formed in the insulator layer which serves as the gate dielectric film of said thin film transistor Said pixel electrode is connected to the other end of said conductive layer for contact through the contact hole formed in said protective coat and insulator layer. And said drain signal line It is the liquid crystal display characterized by other layers consisting of ingredients with a good coverage while it consists of two-layer structure of a different metal at least and the lower layer consists of good ingredients of said conductive layer for contact and contact.

[Claim 2] The thin film transistor turned on with the scan signal supplied to each pixel field of the field by the side of one liquid crystal at a gate signal line among the transparence substrates by which opposite arrangement is carried out through liquid crystal, While having the pixel electrode with which the video signal supplied to a drain signal line through this thin film transistor is impressed and forming said pixel electrode on the protective coat In the liquid crystal display which is connected with the source electrode of a thin film transistor positioned in the lower layer of this protective coat, and is formed with the ingredient as a drain signal line with the same source electrode of a parenthesis The good

conductive layer for contact of said pixel electrode and contact is prepared. The source electrode of this thin film transistor is connected to the end section of this conductive layer for contact through the contact hole formed in the insulator layer which serves as the gate dielectric film of said thin film transistor. And said drain signal line is a liquid crystal display characterized by these other layers consisting of ingredients with a good coverage while consisting of two-layer structure of a different metal at least, and the lower layer's extending rather than other layers and constituting said conductive layer for contact.

[Claim 3] The conductive layer for contact is the liquid crystal display of a publication either among claims 1 and 2 characterized by being the same as that of the ingredient which constitutes a gate signal line.

[Claim 4] The conductive layer for contact is a liquid crystal display given in either among claims 1, 2, and 3 characterized by being formed with Cr, Mo, W, Ti, Nb(s), or those alloys.

[Claim 5] The drain in signal line which consists of a laminated structure is a liquid crystal display given in either among claims 1 and 2 characterized by being formed using the same photoresist.

[Claim 6] The lower layer of a drain signal line is a liquid crystal display given in either among claims 1 and 2 characterized by being formed with Cr, Mo, W, Ti, Nb(s), or those alloys.

[Claim 7] Other layers of a drain signal line are liquid crystal displays given in either among claims 1 and 2 characterized by being formed with aluminum or its alloy.

[Claim 8] A pixel electrode is a liquid crystal display given in either among claims 1 and 2 characterized by being formed by ITO.

[Claim 9] The thin film transistor turned on with the scan signal supplied to each pixel field of the field by the side of one liquid crystal at a gate signal line among the transparence substrates by which opposite arrangement is carried out through liquid crystal, In a liquid crystal display equipped with the pixel electrode which consists of ITO to which the video signal supplied to a drain signal line through this thin film transistor is impressed Of the layered products of the gate dielectric film which constitutes said gate signal, a pixel electrode, or a thin film transistor at least, and a semi-conductor, on the other hand While another side of the layered products of the gate dielectric film which constitutes a pixel electrode or a thin film transistor, and a semi-conductor, and the source electrode of said thin film transistor formed even in this pixel electrode by extending are equipped with the configuration by which a laminating is carried out one by one The

layered product of said gate dielectric film and a semi-conductor is formed in the need field in the shape of an island. Said source electrode the conductor which consists of Cr or its alloy, or constitutes a layered product, and consists of Cr or its alloy in the lower layer, and consists of Cr or its alloy, while being constituted so that it may connect with said pixel electrode through the film said conductor -- the liquid crystal display characterized by exposing the film from this gate dielectric film in the part which is positioned as a lower layer of the gate dielectric film which constitutes this thin film transistor, and is connected with said source electrode.

[Claim 10] a conductor -- the liquid crystal display according to claim 9 characterized by for the film serving as a gate signal line from this ingredient, and being formed at the same process as this gate signal line.

#### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a liquid crystal display, and relates to the liquid crystal display especially called an active-matrix mold.

[0002]

[Description of the Prior Art] The liquid crystal display of an active-matrix mold is equipped with the drain signal line which was insulated by the gate signal line which extended in the x directions and was installed in the direction of y, and these gate signal line, and extended in the direction of y, and was installed in the field by the side of one liquid crystal side by side in the x directions among the transparence substrates by which opposite arrangement is carried out through liquid crystal, and the field of the shape of a rectangle surrounded with each [ these ] signal line is constituted as a pixel field.

[0003] And each [ these ] pixel field is equipped with the thin film transistor turned on with the scan signal (electrical potential difference) supplied to a gate signal line, and the pixel electrode with which the video signal (electrical potential difference) supplied to a drain signal line through this thin film transistor is impressed and which consists of ITO (Indium-Tin-Oxide), for example.

[0004] And various configurations are devised in order that such a liquid crystal display may aim at improvement in the numerical aperture of the pixel field.

[0005] The thing of a configuration of forming a pixel electrode in the top face of a protective coat prepared in order to avoid direct contact of the liquid crystal to a thin film transistor has come [ among those, ] to be known.

[0006] It is because this pixel electrode can be formed greatly, without being regulated by existence of a gate signal line or a drain signal line if it does in this way.

[0007] Since it must be made to connect with the source electrode of a thin film transistor positioned in the lower layer of a protective coat, this pixel electrode cannot but stop in this case, using inevitably for the configuration which aims at connection with this source electrode through the contact hole formed in this protective coat.

[0008] And in this contact hole, good contact of the pixel electrode to a source electrode is needed.

[0009]

[Problem(s) to be Solved by the Invention] In this case, since forming in coincidence as the same ingredient as a drain signal line (a drain electrode also being included) is usually made in order that the source electrode of a thin film transistor may control increase of a manufacture man day, the good thing of contact nature with a pixel electrode is taken into consideration as an ingredient of the drain signal line in this case.

[0010] Consequently, at least, aluminum or its alloy becomes the outside of that selection, and Cr, Ti, Mo, or those alloys serve as a suitable ingredient. Moreover, since contact in a semi-conductor layer is also good, Cr, Ti, and Mo serve as an ingredient suitable also as each electrode of a thin film transistor.

[0011] However, when Cr, Ti, Mo, or those alloys are used as the ingredient of a drain signal line (drain source electrode of a thin film transistor) in this way, the level difference formed by the gate signal line which intersects this overcomes this drain signal line, a stage-piece tends to produce it in the section, and the problem of being easy to generate an open circuit of this drain wire came to be pointed out.

[0012] This invention is made based on such a situation, and the purpose is in offering the liquid crystal display which can prevent an open circuit of a drain signal line.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] Namely, the thin film transistor turned on with the scan signal supplied to each pixel field of the field by the side of one liquid crystal at a gate signal line among the transparence substrates by which opposite arrangement is carried out through liquid crystal, While having the pixel electrode with which the video signal supplied to a drain signal line through this thin film transistor is impressed and forming said pixel electrode on the protective coat In the liquid crystal display

which is connected with the source electrode of a thin film transistor positioned in the lower layer of this protective coat, and is formed with the ingredient as a drain signal line with the same source electrode of a parenthesis. The good conductive layer for contact of said pixel electrode and contact is prepared. While the source electrode of this thin film transistor is connected to the end section of this conductive layer for contact through the contact hole formed in the insulator layer which serves as the gate dielectric film of said thin film transistor. Said pixel electrode is connected to the other end of said conductive layer for contact through the contact hole formed in said protective coat and insulator layer. And said drain signal line While it consists of two-layer structure of a different metal at least and the lower layer consists of good ingredients of said conductive layer for contact and contact, it is characterized by other layers consisting of ingredients with a good coverage.

[0015] Thus, especially, the constituted liquid crystal display prepares separately the good conductive layer for contact of a pixel electrode and contact, and is aiming at connection between this pixel electrode and the source electrode of a thin film transistor by minding this conductive layer for contact.

[0016] And the source electrode which consists of a drain signal line and this ingredient consists of two-layer structure of a different metal at least, and since the lower layer consists of good ingredients of said conductive layer for contact and contact, it can also plan dependability of contact of the source electrode to this conductive layer for contact.

[0017] On the other hand, since other layers except the lower layer consist of ingredients with a good coverage, a level difference can overcome the drain signal line which consists of this source electrode and this ingredient, and generating of the open circuit in the section can be made to control now.

[0018]

[Embodiment of the Invention] Hereafter, each example of the liquid crystal display by this invention is explained using a drawing.

[0019] [Example 1] In the active-matrix liquid crystal display according to this invention first Among the transparence glass substrates by which opposite arrangement is carried out through liquid crystal, in the field by the side of the liquid crystal of one transparence glass substrate 1 There is a drain signal line 6 which is insulated with the gate signal line 2 which extends in the x directions and is installed in the direction of y, and these gate signal line 2, and extends in the direction of y, and is installed in the

x directions. The field of the shape of a rectangle surrounded with these gate signal line 2 and the drain signal line 6 is formed as a pixel field.

[0020] That is, those aggregates constitute a display by arranging a majority of each [ these ] pixel fields in the shape of a matrix.

[0021] And a thin film transistor TFT and the addition capacitive element Cadd are formed in a part of field of the periphery except the center section, and the pixel electrode 10 is formed in each [ these ] pixel field at almost all the parts of the field of a center section.

[0022] Thus, each pixel field constituted constitutes a pixel from a common pixel electrode (transparent electrode common to each pixel field) formed in this liquid crystal side of the transparence glass substrate with which another side counters through liquid crystal.

[0023] That is, in each pixel field mentioned above, that pixel field is demarcated, by supplying a scan signal to the gate signal line 2, the corresponding thin film transistor TFT turns on, the video signal supplied from the drain signal line 6 through this turned-on thin film transistor TFT is supplied to the pixel electrode 10, and electric field are produced between said common pixel electrodes. As for the liquid crystal between this pixel electrode 10 and a common pixel electrode, the light transmission property is controlled by this.

[0024] In this case, said addition capacitive element Cadd is formed between the gate signal lines 2 of another side and the pixel electrodes 10 which demarcate this pixel field, and even if supply of the scan signal to one [ said ] gate signal line 2 is no longer made and a thin film transistor TFT turns off by this addition capacitive element cadd, the video signal impressed to said pixel electrode 10 is held comparatively long between said common pixel electrodes.

[0025] Next, each configuration member mentioned above is explained to a detail.

[0026] Gate signal line 2 drawing 2 shows the top view of each configuration member formed in the liquid crystal side of the transparence glass substrate 1, and a gate signal 2 extends in the x in drawing direction, among these it is formed. In addition, the sectional view of the I-I line in drawing 2 is shown in drawing 1.

[0027] This gate signal line 2 was directly formed in the front face of the transparence glass substrate 1, it was running between a pixel field with the bottom, and pixel fields with the bottom among drawing, and, as for said each pixel field, the abbreviation one half of each whole was being illustrated.

[0028] and this gate signal line 2 is formed in that part to serve also as gate electrode 2A of the thin film transistor TFT formed in the pixel field in a

drawing Nakagami side -- having -- coming -- \*\*\*\*  
 -- this -- the part is formed as a part which made the gate signal line 2 extend a little in a drawing Nakagami side.

[0029] Moreover, said especially gate electrode 2A formed in the gate signal line 2, and this gate signal line 2 and one is formed by this example with the ingredient which consists of an alloy which uses Cr or this Cr as a principal component. As an alloy which uses Cr as a principal component, the alloy which consists of Cr and metals, such as Mo, W, Nb, and Ti, becomes suitable.

[0030] Although the alloy which uses aluminum or this aluminum as a principal component can also be considered, since it is easy to produce the so-called hillock (projection) which causes a short circuit between the below-mentioned drain signal lines 6 which are made to intersect this gate signal line 2 through an insulator layer 4, and are formed as a gate signal line 2, in this example, it has the composition of having avoided such evil.

[0031] the conductive layer 3 for contact -- it is the configuration member formed especially in this example, and functions as a mediation layer for aiming at connection with source electrode 6S and the pixel electrode 10 of a thin film transistor TFT. The effectiveness of this conductive layer 3 for contact is later mentioned in the term of explanation of these other configuration members from it being what is demonstrated by relation with other configuration members (source electrode 6S and pixel electrode 10).

[0032] And this conductive layer 3 for contact consists of alloys which use the same ingredient as said gate signal line 2, i.e., Cr, and this Cr as a principal component from the meaning which does not increase the process of the manufacture approach, and is formed at the same process as this gate signal line.

[0033] The insulator layer 4 which consists of a silicon nitride is formed in the front face of the insulator layer 4 transperence glass substrate 1 throughout the also including said gate signal line 2 and the conductive layer 3 for contact.

[0034] This insulator layer 4 is a drain signal line later mentioned further as a dielectric film in the formation field of the addition capacitative element Cadd as gate dielectric film in the formation field of a thin film transistor TFT. In a crossover field with said gate signal line 2, it has a function as an interlayer insulation film to this drain signal line 6.

[0035] It is some fields of the front face of the thin film transistor TFT aforementioned insulator layer 4, and the semi-conductor layer 5 is formed in the field superimposed on said gate electrode 2A formed in the gate signal line 2 and one.

[0036] This semi-conductor layer 5 consists of the so-called i-type semiconductor layer which has not doped the impurity intentionally.

[0037] And drain electrode 6D and source electrode 6S are estranged mutually, and are formed in the front face of this semi-conductor layer, it is placed between interfaces with this semi-conductor layer 5 in that formation field by the contact layer which doped high-concentration n mold impurity, and this drain electrode 6D and source electrode 6S are formed in them.

[0038] In this case, the layer which doped n mold impurity is formed in the front face of said semi-conductor layer 5 of i mold, and further, after forming drain electrode 6D and source electrode 6S, the above-mentioned configuration can be obtained by etching this layer that used drain electrode 6D and source electrode 6S as the mask, and doped n mold impurity.

[0039] Thus, a channel layer is formed in the semi-conductor layer 5 of i mold through gate dielectric film (a part of insulator layer 4), and the constituted thin film transistor TFT is the so-called MIS mold transistor through which between drain electrode 6D and source electrode 6S comes to flow through this channel layer, if a scan signal is supplied to gate electrode 2A from the gate signal line 2.

[0040] In addition, drain electrode 6D of an MIS mold transistor and \*\*\*\*\* of source electrode 6S, and originally it is determined by the bias polarity in the meantime, and that polarity comes to carry out working reversal, and it is exchanged among that nominal \*\*\*\*\* in the circuit of this liquid crystal display. However, in this example, it fixes with source electrode 6S, and the side connected with the expedient upper pixel electrode 10 of explanation is expressed:

[0041] And this drain electrode 6D is constituted so that it may become clear by the after-mentioned, and it may be formed in the drain signal line 6 and one, and also in source electrode 6S, it is formed with the same ingredient as this drain electrode 6D, and it is formed at the same process.

[0042] The drain signal line 6 drain signal line 6 is formed on said insulator layer 4, in drawing 2, runs the left-hand side of a pixel field in the direction of y, and is shown. and some drain signal lines 6 are formed to serve also as drain electrode 6D of the thin film transistor TFT formed in the pixel field in a drawing Nakamigi side -- having -- this -- the part is formed as a part which made the drain signal line 6 extend a little in a drawing Nakamigi side.

[0043] And especially in this example, this drain signal line 6 is formed as a signal line of a laminated structure, consists of metal layer 6B which consists of an alloy which makes a principal

component the same ingredient as a gate signal line, i.e., Cr, and it, for example in the lower layer by the side of that insulator layer, and consists of metal layer 6C which consists of aluminum alloys, such as aluminum-Si or aluminum-Ti-Ta, etc., for example in that upper layer.

[0044] The lower layer and upper layer completely consist of the same pattern, and the drain signal line 6 which consists of such a laminated structure can be formed by etching continuously by the same photoresist therefore. Or ITO may be used instead of aluminum.

[0045] Since it is formed at the same process as this drain signal line 6 (drain electrode 6D) as mentioned above, source electrode 6S of a thin film transistor TFT are formed as a laminated structure which consists of the same ingredient as the drain signal line 6.

[0046] And source electrode 6S in this case are connected to the below-mentioned pixel electrode 10 once through said conductive layer 3 for contact positioned in the lower layer of an insulator layer 4.

[0047] That is, contact hole 7H to which the end section by the side of the thin film transistor TFT of the conductive layer 3 for contact is exposed are beforehand prepared after formation of said insulator layer 4, and as source electrode 6S fully cover these contact hole 7H, they extend and are formed.

[0048] Here, since the lower layer metal layer 6B of source electrode 6S which consist of a laminated structure is the same as that of the conductive layer 3 for contact, they can make good connection with this conductive layer 3 for contact.

[0049] Moreover, since metal layer 6C of the upper layer is formed with aluminum or its alloy, source electrode 6S come to be excellent in the so-called coverage property, and even if the steep level difference has arisen in said contact hole 7H, they can plan sufficient coverage.

[0050] The level difference formed by the gate signal line 2 which the same effectiveness is acquired also in the drain signal line 6, for example, intersects this overcomes this, and it can prevent the stage piece in the section now.

[0051] The protective coat 8 which consists of a silicon nitride, also including this drain signal line 6 is formed in the whole region of the top face of an insulator layer 4 in which the protective coat 8, thus the drain signal line 6 were formed.

[0052] And as for this protective coat 8, contact hole 9H are formed with the insulator layer 4 positioned in that lower layer, and a part of other end of the opposite side is exposed by the side connected with said source electrode 6S of said electric conduction film 3 for contact by these contact hole 9H. It is constituted so that the pixel

electrode 10 later mentioned through these contact hole 9H may be connected to this electric conduction film 3 for contact, as a result it may connect with source electrode 6S of a thin film transistor TFT.

[0053] Here, it is formed so that a protective coat 8 may become larger than that of a lower layer [etching rate / of the upper layer], when it is classified into the upper layer and a lower layer, and thereby, said level difference of contact hole 9H is formed in a smooth configuration. It is for making it connect with the electric conduction film 3 for contact, without said pixel electrode 10 raising a stage piece by these contact hole 9H.

[0054] Thus, although it becomes the configuration which the liquid crystal display in this example has in connection with source electrode 6S and the pixel electrode 10 of a thin film transistor TFT, and must form contact hole 9H besides said contact hole 7H, if this pixel electrode 10 is seen from increase of the numerical aperture which positions in the top face of a protective coat 8, and is obtained, the area occupied to it will become small.

[0055] In addition, although not illustrated, said protective coat 8 is constituted so that opening which makes the end section of the extension direction of the gate signal line 2 and the end section of the extension direction of the drain signal line 6 expose, respectively may be formed and an external terminal may be formed in this opening in the case of said formation of contact hole 9H.

[0056] The pixel electrode 10 which consists of ITO (Indium-Tin-Oxide) is formed in the top face of the pixel electrode 10 aforementioned protective coat 8.

[0057] and this pixel electrode 10 covers and forms the part in which said contact hole 9H were formed at least -- having -- thereby -- this pixel electrode 10 -- this -- it connects with the electric conduction film 3 for contact exposed from contact hole 9H, and is constituted.

[0058] In this case, since contact hole 9H currently formed in the protective coat 8 are formed in the configuration with that smooth level difference as mentioned above, the pixel electrode 10 comes to be connected to the electric conduction film 3 for contact, without raising a stage piece.

[0059] Here, since it is admitted that that ingredient consists of Cr or its alloy as mentioned above, and the electric conduction film 3 for contact has good contact nature with ITO, this metal can aim at contact to the pixel electrode 10 good.

[0060] And the pixel electrodes 10 differ in the gate signal line 2 for making the thin film transistor TFT corresponding to the pixel electrode 10 turn on. A part of other adjoining gate



signal lines 2 are overlapped through said insulator layer 4 and protective coat 8, and the addition capacitive element Cadd is constituted in this superposition section (in drawing 2). It is shown that this gate signal line 2 is overlapped on the pixel electrode 10 positioned by the gate signal line 2 bottom, and it is formed in it.

[0061] The insulator layer 4 and protective coat 8 by which one electrode was formed in the superposition field with the pixel electrode 10, and the pixel electrode 10 formed the electrode of another side in the superposition field with the gate signal line 2, and the addition capacitive element Cadd gate signal line 2 was pinched with each [ these ] electrode have a function as a dielectric film.

[0062] As explained above, according to the liquid crystal display mentioned above, especially, the good conductive layer 3 for contact of the pixel electrode 10 and contact is formed separately, and connection between this pixel electrode 10 and source electrode 6S of a thin film transistor TFT is aimed at by minding this conductive layer 3 for contact.

[0063] And source electrode 6S which consist of a drain signal line 6 and this ingredient consist of two-layer structure of a different metal at least, and since the lower layer consists of good ingredients of said conductive layer 3 for contact and contact, it can plan dependability of contact of source electrode 6S to this conductive layer 3 for contact.

[0064] on the other hand -- this -- since other layers except the lower layer consist of ingredients with a good coverage, a level difference can overcome the drain signal line 6 which consists of source electrode 6S and this ingredient, and generating of the open circuit in the section can be made to control now

[0065] [Example 2] Drawing 4 and drawing 5 are the block diagrams showing other examples of the liquid crystal display by this invention.

[0066] Only a different part from the configuration of the example 1 mentioned above is explained below.

[0067] the electric conduction film 3 for contact -- in this example, as shown in the example 1, the gate signal line 2, simultaneously the electric conduction film 3 for contact to form do not exist, but the electric conduction film 3 for contact which has the same function as it is formed on the insulator layer 4.

[0068] Namely, the inside of source electrode 6S of the thin film transistor TFT which consists of a laminated structure, Metal layer 6B which consists of Cr positioned in the lower layer, or its alloy this -- he makes it extend further from the original formation field of source electrode 6S, and

is trying to give the function as this electric conduction film 3 for contact to this layer that extended (for this reason) Metal layer 6C which consists of the upper aluminum or its alloy is formed only in the original formation field of source electrode 6S.

[0069] Since the electric conduction film 3 for contact in this example also consists of an ingredient of the electric conduction film 3 for contact shown in the example 1, i.e., Cr, and its alloy, good contact of the pixel electrode to this electric conduction film 3 for contact can be aimed at.

[0070] And since it is not necessary to make SURUHURU connection to said electric conduction film 3 for contact of source electrode 6S of a thin film transistor TFT, while being able to aim at reduction of a production process as compared with an example 1, improvement in a numerical aperture can be aimed at.

[0071] source electrode 6S, simultaneously the drain signal line 6 to form of the drain signal-line 6 thin film transistor TFT -- this -- since it has composition which source electrode 6S mentioned above, the laminated structure will be formed by photoresist different, respectively.

[0072] That is, metal layer 6B which consists of lower layer Cr and its alloy is formed by the pattern which also forms said electric conduction film 3 for contact in the layer and one, and metal layer 6C which consists of the upper aluminum and its alloy by the pattern except the part of said electric conduction film 3 for contact is formed after that.

[0073] [Example 3] Drawing 5 is the block diagram showing other examples of the liquid crystal display by this invention.

[0074] Only a different part from the configuration of the example 1 mentioned above is explained below.

[0075] a conductor -- the film 12 -- this conductor -- the film 12 consists of Cr or its alloy, and it is a gate signal line and this ingredient, and it is formed with the same configuration as this gate signal line.

[0076] this conductor -- that end was positioned in the lower layer of a layered product which consists of the same pattern of the insulator layer 4 (gate insulation insulator layer) and the semi-conductor layer 5 which constitute a thin film transistor TFT like the after-mentioned, and the film 12 was reached and formed even in the contact field with the pixel electrode 10.

[0077] this conductor -- about the effectiveness of the film 12, it mentions later.

[0078] a thin film transistor TFT -- for this reason, unlike other examples, the sequential layered product of an insulator layer 4 (gate dielectric



film) and the semi-conductor layer 5 which constitutes this thin film transistor TFT is put in block to a required field in the shape of an island, is formed in it (formed at the same photo-mask process), and it is not formed [ extend said insulator layer 4 and ] even in any fields other than the formation field of this semi-conductor layer 5.

[0079] in this case, gate dielectric film -- that lower layer -- setting -- said conductor -- it is positioned, and only the end section of the film 12 makes and is formed.

[0080] the 10 pixel electrode 10 of pixel electrodes is directly formed on the transparence substrate 1 -- having -- the part -- said conductor -- the other end of the film 12 is overlapped and it is formed in it.

[0081] It consists of a layered product of the source electrode 6S two-layer structure of a thin film transistor, the lower layer consists of Cr or its alloy, and the upper layer consists of aluminum or its alloy.

[0082] In this case, it consists of layered products which the drain signal line 6 formed in coincidence at the same process as these source electrode 6S also becomes from the same ingredient.

[0083] these source electrode 6S [ and ] -- that side face from the top face of the semi-conductor layer 5 -- it extends along the side face of an insulator layer 4 (gate dielectric film) further -- having -- said conductor -- even the top face of the film 12 is reached. in addition -- this example -- this -- the edge where source electrode 6S extend -- said conductor -- the pixel electrode 10 on the film 12 being overlapped, and being formed in it -- this -- the dependability over the pixel electrode 10 of source electrode 6S is secured.

[0084] said conductor of such source electrode 6S -- by making it the connection configuration of the pixel electrode 10 through the film 12, an open circuit of source electrode 6D generated according to the cause of the insulator layer 4 (gate dielectric film) especially formed in the shape of an island can be prevented now.

[0085] That is, when a thin film transistor TFT is formed by using the pixel electrode 10 as a lower layer, it becomes usual that make the gate dielectric film superimpose on said pixel electrode 10, and it forms the part of the circumference of it. In this case, it is checked that the gate dielectric film of the part on which this pixel electrode 10 is overlapped brings about an open circuit of source electrode 6S which abnormality growth of that ingredient is looked at by the effect of the plasma hydrogen at the time of that formation, and are behind formed in the part of growth under it that above.

[0086] Since such a fault is incidentally made

solved, make the layered product of gate dielectric film 4 and the semi-conductor layer 5 estrange from the pixel electrode 10, and you make it form, and make it once crawl on the transparence substrate 1 top exposed between this layered product and the pixel electrode 10 in source electrode 6S, and it can consider making it extend so that it may superimpose on the pixel electrode 10 further. However, when it does in this way, it does not become an essential solution from producing \*\*\*\* in this transparence substrate 1 in the case of the selective etching for forming this layered product, and an open circuit of source electrode 6S arising in this part that can be scooped out.

[0087] the conductor shown in this example -- that from which the film 12 serves as a means which can solve the fault mentioned above -- it is -- this conductor -- it becomes, without producing \*\*\*\* in the case of the selective etching for forming this layered product layered product so that the abnormality growth mentioned above to the gate dielectric film 4 formed by superimposing on the film 12 may not be brought about.

[0088]

[Effect of the Invention] According to the liquid crystal display by this invention, an open circuit of a drain signal line can be prevented now so that clearly from having explained above.

[Brief Description of the Drawings]

[Drawing 1] With the sectional view showing one example of the liquid crystal display by this invention, it is equivalent to the sectional view in the I-I line of drawing 2.

[Drawing 2] It is the top view showing one example of the liquid crystal display by this invention.

[Drawing 3] With the sectional view showing other examples of the liquid crystal display by this invention, it is equivalent to the sectional view in the III-III line of drawing 4.

[Drawing 4] It is the top view showing other examples of the liquid crystal display by this invention.

[Drawing 5] It is the sectional view showing other examples of the liquid crystal display by this invention.

[Description of Notations]

3 [ .. Thin film transistor ] .... The electric conduction film for connectors, 6S .. A source electrode, 10 .. A pixel electrode, TFT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-104660

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136  
H 0 1 L 29/786

識別記号

5 0 0

F I

G 0 2 F 1/136  
H 0 1 L 29/78

5 0 0

6 1 2 C

6 1 6 U

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平8-262785

(22) 出願日 平成8年(1996)10月3日

(71) 出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 金子 寿輝

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 小野 記久雄

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72) 発明者 仲吉 良彰

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

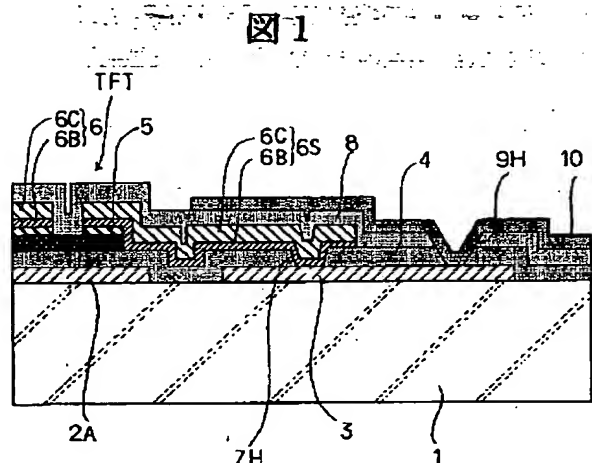
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ドレイン信号線の断線を防止する。

【解決手段】 画素電極とコンタクトの良好なコンタクト用導電層が設けられ、このコンタクト用導電層の一端部に薄膜トランジスタのゲート絶縁膜を兼ねる絶縁膜に形成されたコンタクトホールを通して該薄膜トランジスタのソース電極が接続されているとともに、前記コンタクト用導電層の他端部に保護膜および絶縁膜に形成されたコンタクトホールを通して前記画素電極が接続され、かつ、前記ドレイン信号線は、少なくとも異なる金属の2層構造からなり、その下層は前記コンタクト用導電層とコンタクトの良好な材料で構成されているとともに、他の層はカバレッジの良好な材料で構成されている。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 液晶を介して互いに対向配置される透明基板のうち一方の液晶側の面の各画素領域に、ゲート信号線に供給される走査信号によってオンする薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線に供給される映像信号が印加される画素電極とを備え、前記画素電極は保護膜上に形成されているとともに、この保護膜の下層に位置づけられる薄膜トランジスタのソース電極と接続され、かつこのソース電極はドレイン信号線と同一の材料で形成されている液晶表示装置において、

前記画素電極とコンタクトの良好なコンタクト用導電層が設けられ、このコンタクト用導電層の一端部に前記薄膜トランジスタのゲート絶縁膜を兼ねる絶縁膜に形成されたコンタクトホールを通して該薄膜トランジスタのソース電極が接続されているとともに、前記コンタクト用導電層の他端部に前記保護膜および絶縁膜に形成されたコンタクトホールを通して前記画素電極が接続され、かつ、前記ドレイン信号線は、少なくとも異なる金属の2層構造からなり、その下層は前記コンタクト用導電層とコンタクトの良好な材料で構成されているとともに、他の層はカバレッジの良好な材料で構成されていることを特徴とする液晶表示装置。

【請求項2】 液晶を介して互いに対向配置される透明基板のうち一方の液晶側の面の各画素領域に、ゲート信号線に供給される走査信号によってオンする薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線に供給される映像信号が印加される画素電極とを備え、前記画素電極は保護膜上に形成されているとともに、この保護膜の下層に位置づけられる薄膜トランジスタのソース電極と接続され、かつこのソース電極はドレイン信号線と同一の材料で形成されている液晶表示装置において、

前記画素電極とコンタクトの良好なコンタクト用導電層が設けられ、このコンタクト用導電層の一端部に前記薄膜トランジスタのゲート絶縁膜を兼ねる絶縁膜に形成されたコンタクトホールを通して該薄膜トランジスタのソース電極が接続され、かつ、前記ドレイン信号線は、少なくとも異なる金属の2層構造からなり、その下層は他の層よりも延在させて前記コンタクト用導電層を構成するとともに、該他の層はカバレッジの良好な材料で構成されていることを特徴とする液晶表示装置。

【請求項3】 コンタクト用導電層は、ゲート信号線を構成する材料と同一であることを特徴とする請求項1、2のうちのいずれか記載の液晶表示装置。

【請求項4】 コンタクト用導電層は、Cr、Mo、W、Ti、Nb、あるいはそれらの合金で形成されていることを特徴とする請求項1、2、および3のうちのいずれかに記載の液晶表示装置。

【請求項5】 積層構造からなるドレイン信号線は、

同一のフォトリソを用いて形成されていることを特徴とする請求項1、2のうちのいずれかに記載の液晶表示装置。

【請求項6】 ドレイン信号線の下層は、Cr、Mo、W、Ti、Nb、あるいはそれらの合金で形成されていることを特徴とする請求項1、2のうちのいずれかに記載の液晶表示装置。

【請求項7】 ドレイン信号線の他の層は、Alあるいはその合金で形成されていることを特徴とする請求項1、2のうちのいずれかに記載の液晶表示装置。

【請求項8】 画素電極は、ITOで形成されていることを特徴とする請求項1、2のうちのいずれかに記載の液晶表示装置。

【請求項9】 液晶を介して互いに対向配置される透明基板のうち一方の液晶側の面の各画素領域に、ゲート信号線に供給される走査信号によってオンする薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線に供給される映像信号が印加されるITOからなる画素電極とを備える液晶表示装置において、少なくとも前記ゲート信号、画素電極あるいは薄膜トランジスタを構成するゲート絶縁膜および半導体の積層体のうち一方、画素電極あるいは薄膜トランジスタを構成するゲート絶縁膜および半導体の積層体のうちの他方、該画素電極にまで延在させて形成される前記薄膜トランジスタのソース電極とが順次積層される構成を備えるとともに、前記ゲート絶縁膜および半導体の積層体は、その必要領域に島状に形成され、

前記ソース電極は、Crもしくはその合金からなり、あるいは積層体を構成しその下層にてCrもしくはその合金からなり、かつ、Crもしくはその合金からなる導体膜を介して前記画素電極に接続されるように構成されているとともに、前記導体膜は、該薄膜トランジスタを構成するゲート絶縁膜の下層として位置づけられ、前記ソース電極と接続される部分にて該ゲート絶縁膜から露出されていることを特徴とする液晶表示装置。

【請求項10】 導体膜は、ゲート信号線と同材料からなり、かつ該ゲート信号線と同一の工程で形成されることを特徴とする請求項9記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係り、特に、アクティブ・マトリックス型と称される液晶表示装置に関する。

【0002】

【従来の技術】 アクティブ・マトリックス型の液晶表示装置は、液晶を介して互いに対向配置される透明基板のうち一方の液晶側の面に、x方向に延在しかつy方向に並設されたゲート信号線と、これらゲート信号線に絶縁されてy方向に延在しかつx方向に並設されたドレイン信号線とを備え、これら各信号線で囲まれた矩形の領

域を画素領域として構成されている。

【0003】そして、これら各画素領域には、ゲート信号線に供給される走査信号（電圧）によってオンする薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線に供給される映像信号（電圧）が印加されるたとえばITO（Indium-Tin-Oxide）からなる画素電極とを備えている。

【0004】そして、このような液晶表示装置は、その画素領域の開口率の向上を図るために、種々の構成が工夫されている。

【0005】そのうち、薄膜トランジスタへの液晶の直接の接触を避けるために設けられる保護膜の上面に画素電極を形成する構成のものが知られるに至っている。

【0006】このようにすれば、ゲート信号線あるいはドレイン信号線の存在に規制されることなく、該画素電極を大きく形成できるからである。

【0007】この場合、該画素電極は、保護膜の下層に位置づけられる薄膜トランジスタのソース電極と接続させなければならないことから、該保護膜に形成したコンタクトホールを介して該ソース電極との接続を図る構成を必然的に採用せざるを得なくなる。

【0008】そして、該コンタクトホールにおいて、ソース電極に対する画素電極の良好なコンタクトが必要とされる。

【0009】

【発明が解決しようとする課題】この場合、薄膜トランジスタのソース電極は、製造工数の増大を抑制するため、ドレイン信号線（ドレイン電極をも含む）と同一の材料として同時に形成することが通常なされることから、この場合のドレイン信号線の材料として、画素電極とのコンタクト性の良好なものが考慮される。

【0010】この結果、少なくともAlあるいはその合金はその選定外となり、Cr、Ti、Moあるいはそれらの合金が好適な材料となる。また、Cr、Ti、Moは半導体層とのコンタクトも良好であることから薄膜トランジスタの各電極としても好適な材料となる。

【0011】しかし、このようにCr、Ti、Moあるいはそれらの合金をドレイン信号線（薄膜トランジスタのドレイン・ソース電極）の材料とした場合、このドレイン信号線は、たとえばこれと交差するゲート信号線によって形成される段差の乗り越え部で段切れが生じ易く、該ドレイン線の断線が発生し易いという問題が指摘されるに至った。

【0012】本発明は、このような事情に基づいてなされたものであり、その目的は、ドレイン信号線の断線を防止できる液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】すなわち、液晶を介して互に対向配置される透明基板のうち一方の液晶側の面の各画素領域に、ゲート信号線に供給される走査信号によってオンする薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線に供給される映像信号が印加される画素電極とを備え、前記画素電極は保護膜上に形成されているとともに、この保護膜の下層に位置づけられる薄膜トランジスタのソース電極と接続され、かつこのソース電極はドレイン信号線と同一の材料で形成されている液晶表示装置において、前記画素電極とコンタクトの良好なコンタクト用導電層が設けられ、このコンタクト用導電層の一端部に前記薄膜トランジスタのゲート絶縁膜を兼ねる絶縁膜に形成されたコンタクトホールを通して該薄膜トランジスタのソース電極が接続されているとともに、前記コンタクト用導電層の他端部に前記保護膜および絶縁膜に形成されたコンタクトホールを通して前記画素電極が接続され、かつ、前記ドレイン信号線は、少なくとも異なる金属の2層構造からなり、その下層は前記コンタクト用導電層とコンタクトの良好な材料で構成されているとともに、他の層はカバレッジの良好な材料で構成されていることを特徴とするものである。

【0015】このように構成した液晶表示装置は、特に、画素電極とコンタクトの良好なコンタクト用導電層を別個に設け、このコンタクト用導電層を介することによって該画素電極と薄膜トランジスタのソース電極との接続を図っている。

【0016】そして、ドレイン信号線と同材料からなるソース電極は、少なくとも異なる金属の2層構造からなり、その下層は前記コンタクト用導電層とコンタクトの良好な材料から構成されていることから、該コンタクト用導電層に対するソース電極のコンタクトの信頼性をも図ることができるようになる。

【0017】一方、該ソース電極と同材料からなるドレイン信号線は、その下層を除く他の層はカバレッジの良好な材料から構成されているため、段差の乗り越え部における断線の発生を抑制させることができるようになる。

【0018】

【発明の実施の形態】以下、本発明による液晶表示装置の各実施例について図面を用いて説明をする。

【0019】〔実施例1〕まず、本発明によるアクティブ・マトリックス液晶表示装置において、液晶を介して互に対向配置される透明ガラス基板のうち一方の透明ガラス基板1の液晶側の面には、そのx方向に延在されかつy方向に並設されるゲート信号線2と、これらゲート信号線2と絶縁されy方向に延在されかつx方向に並設されるドレイン信号線6とがあり、これらゲート信号線2とドレイン信号線6とで囲まれた矩形状の領域が画素領域として形成されるようになっている。

【0020】すなわち、これら各画素領域がマトリック

ス状に多数配置されることによって、それらの集合体が表示部を構成するようになっている。

【0021】そして、これら各画素領域には、その中央部を除く周辺部の領域の一部に薄膜トランジスタTFT、および付加容量素子Caddが形成され、また中央部の領域のほとんどの部分には画素電極10が形成されている。

【0022】このように構成される各画素領域は、液晶を介して他方の対向する透明ガラス基板の該液晶側に形成された共通画素電極（各画素領域に共通な透明電極）とて画素を構成するようになっている。

【0023】すなわち、上述した各画素領域において、その画素領域を画する一方のゲート信号線2に走査信号が供給されることによって、対応する薄膜トランジスタTFTがオンし、このオンされた薄膜トランジスタTFTを介してドレイン信号線6から供給される映像信号が画素電極10に供給され、前記共通画素電極との間に電界を生じさせるようになっている。これによって該画素電極10と共通画素電極との間の液晶はその光透過特性が制御されるようになっている。

【0024】この場合、該画素領域を画する他方のゲート信号線2と画素電極10の間には前記付加容量素子Caddが形成されており、この付加容量素子caddによって、前記一方のゲート信号線2への走査信号の供給がなされなくなって薄膜トランジスタTFTがオフしても、前記画素電極10に印加された映像信号は前記共通画素電極との間で比較的長く保持されるようになっている。

【0025】次に、上述した各構成部材を詳細に説明する。

【0026】ゲート信号線2 図2は、透明ガラス基板1の液晶側に形成された各構成部材の平面図を示すものであり、このうちゲート信号2は図中x方向に延在されて形成されている。なお、図2におけるI-I線の断面図は図1に示している。

【0027】該ゲート信号線2は、透明ガラス基板1の表面に直接形成され、図中、その上側にある画素領域と下側にある画素領域の間を走行しており、前記各画素領域はそれぞれの全体のうちの約半分が図示されたものとなっている。

【0028】そして、このゲート信号線2は、その一部において、図中上側にある画素領域内に形成される薄膜トランジスタTFTのゲート電極2Aを兼ねて形成されるようになっており、該一部はゲート信号線2を図中上側に若干延在させた部分として形成されている。

【0029】また、ゲート信号線2およびこのゲート信号線2と一体に形成された前記ゲート電極2Aは、この実施例では、特に、CrあるいはこのCrを主成分とする合金からなる材料で形成されている。Crを主成分とする合金としては、CrとMo、W、Nb、Ti等の金

属からなる合金が好適となる。

【0030】ゲート信号線2としてたとえばAlあるいはこのAlを主成分とする合金をも考えられるが、絶縁膜4を通して該ゲート信号線2と交差させて形成する後述のドレイン信号線6との間に短絡の原因となるいわゆるヒロック（突起）が生じ易いことから、この実施例ではこのような弊害を回避した構成となっている。

【0031】コンタクト用導電層3

この実施例において特に形成される構成部材であり、薄膜トランジスタTFTのソース電極6Sと画素電極10との接続を図るための介在層として機能するようになっている。このコンタクト用導電層3の効果は、他の構成部材（ソース電極6Sおよび画素電極10）との関係で発揮されるものであることから、該他の構成部材の説明の項において後述する。

【0032】そして、このコンタクト用導電層3は、製造方法の工程を増大させない趣旨から、前記ゲート信号線2と同一の材料、すなわち、CrあるいはこのCrを主成分とする合金から構成され、かつ該ゲート信号線と同一の工程で形成するようになっている。

【0033】絶縁膜4

透明ガラス基板1の表面には、前記ゲート信号線2およびコンタクト用導電層3をも含んでその全域にたとえばシリコン窒化膜からなる絶縁膜4が形成されている。

【0034】この絶縁膜4は、薄膜トランジスタTFTの形成領域においてはゲート絶縁膜として、また、付加容量素子Caddの形成領域においては誘電体膜として、さらには、後述するドレイン信号線の前記ゲート信号線2との交差領域においては該ドレイン信号線6に対する層間絶縁膜としての機能を有するようになっている。

【0035】薄膜トランジスタTFT

前記絶縁膜4の表面の一部の領域であって、ゲート信号線2と一体に形成された前記ゲート電極2Aに重畳する領域に半導体層5が形成されている。

【0036】この半導体層5は不純物を故意にドーピングしていないいわゆるi型半導体層からなっている。

【0037】そして、この半導体層の表面にはドレイン電極6Dとソース電極6Sとが互いに離間されて形成され、このドレイン電極6Dとソース電極6Sは、その形成領域における該半導体層5との界面にたとえば高濃度のn型不純物をドーピングしたコンタクト層が介在されて形成されている。

【0038】この場合、i型の前記半導体層5の表面にn型不純物をドーピングした層を形成し、さらに、ドレイン電極6Dとソース電極6Sとを形成した後、このドレイン電極6Dとソース電極6Sとをマスクにしてn型不純物をドーピングした層をエッチングすることによって上記構成を得ることができる。

【0039】このように構成された薄膜トランジスタT

FTは、ゲート信号線2から走査信号がゲート電極2Aに供給されると、ゲート絶縁膜（絶縁膜4の一部）を介してi型の半導体層5にチャネル層が形成され、このチャネル層を介してドレイン電極6Dおよびソース電極6Sとの間が導通するようになる、いわゆるMIS型トランジスタとなっている。

【0040】なお、MIS型トランジスタのドレイン電極6Dおよびソース電極6Sの称呼は、本来その間のバイアス極性によって決定されるもので、この液晶表示装置の回路ではその極性が動作中反転するようになり、その称呼は動作中入れ替わるものとなる。しかし、この実施例では、説明の便宜上画素電極10と接続される側をソース電極6Sと固定して表現している。

【0041】そして、該ドレイン電極6Dは、後述で明らかになるようにドレイン信号線6と一体に形成されるように構成され、また、ソース電極6Sにおいても該ドレイン電極6Dと同一の材料で形成され、かつ同一の工程で形成されるようになっている。

#### 【0042】ドレイン信号線6

ドレイン信号線6は前記絶縁膜4の上に形成され、図2においては画素領域の左側をy方向に走行して示されている。そして、ドレイン信号線6の一部は、図中右側にある画素領域内に形成される薄膜トランジスタTFTのドレイン電極6Dを兼ねて形成され、該一部はドレイン信号線6を図中右側に若干延在させた部分として形成されている。

【0043】そして、このドレイン信号線6は、この実施例では特に、積層構造の信号線として形成され、その絶縁膜側の下層においては、たとえばゲート信号線と同一の材料、すなわちCrあるいはそれを主成分とする合金等からなる金属層6Bで構成され、その上層においては、たとえばAl-SiあるいはAl-Ti-Ta等のAl合金等からなる金属層6Cで構成されている。

【0044】このような積層構造からなるドレイン信号線6は、その下層および上層は全く同一のパターンからなるものであり、したがって、同一のフォトリソで連続してエッチングすることで形成することができる。または、AlのかわりにITOを用いても良い。

【0045】薄膜トランジスタTFTのソース電極6Sは、上述したように、このドレイン信号線6（ドレイン電極6D）と同一の工程で形成されることから、ドレイン信号線6と同一の材料からなる積層構造として形成されている。

【0046】そして、この場合のソース電極6Sは、絶縁膜4の下層に位置づけられている前記コンタクト用導電層3を一旦介して後述の画素電極10に接続されるようになっている。

【0047】すなわち、前記絶縁膜4の形成の後にコンタクト用導電層3の薄膜トランジスタTFT側の一端部を露出させるコンタクトホール7Hが予め設けられてお

り、ソース電極6Sはこのコンタクトホール7Hを充分に被うようにして延在されて形成されている。

【0048】ここで、積層構造からなるソース電極6Sは、その下層の金属層6Bがコンタクト用導電層3と同一であることから、該コンタクト用導電層3との接続を良好にすることができるようになる。

【0049】また、ソース電極6Sは、その上層の金属層6CがAlあるいはその合金で形成されていることから、いわゆるカバレッジ特性に優れるようになり、前記コンタクトホール7Hに急峻な段差が生じていても充分なカバレッジを図ることができるようになる。

【0050】このことは、ドレイン信号線6においても同様の効果が得られ、たとえばこれと交差するゲート信号線2によって形成される段差の乗り越え部における段切れを防止できるようになる。

#### 【0051】保護膜8

このようにドレイン信号線6が形成された絶縁膜4の上面の全域には該ドレイン信号線6をも含んでたとえばシリコン窒化膜からなる保護膜8が形成されている。

【0052】そして、この保護膜8には、その下層に位置づけられる絶縁膜4とともに、コンタクトホール9Hが形成され、このコンタクトホール9Hによって前記コンタクト用導電膜3の前記ソース電極6Sと接続される側とは反対側の他端部の一部が露呈されるようになっている。このコンタクトホール9Hを介して後述する画素電極10が該コンタクト用導電膜3に接続され、ひいては薄膜トランジスタTFTのソース電極6Sに接続されるように構成されるようになっている。

【0053】ここで、保護膜8はそれを上層と下層とに区分けした場合、その上層のエッチングレートが下層のそれよりも大きくなるように形成されており、これにより前記コンタクトホール9Hの段差は滑らかな形状に形成されるようになっている。このコンタクトホール9Hによって、前記画素電極10は段切れを起すことなくコンタクト用導電膜3に接続されるようにするためである。

【0054】このように、本実施例における液晶表示装置は、薄膜トランジスタTFTのソース電極6Sと画素電極10との接続にあつて前記コンタクトホール7Hの他にコンタクトホール9Hをも形成しなければならない構成となるが、該画素電極10を保護膜8の上面に位置づけて得られる開口率の増大からみれば、それに占める面積は微々たるものとなる。

【0055】なお、図示していないが、前記保護膜8は、前記コンタクトホール9Hの形成の際に、ゲート信号線2の延在方向の一端部およびドレイン信号線6の延在方向の一端部をそれぞれ露呈させる開口部が形成され、この開口部において外部端子が形成されるように構成されている。

#### 【0056】画素電極10



前記保護膜8の上にはたとえばITO (Indium-Tin-Oxide) からなる画素電極10が形成されている。

【0057】そして、この画素電極10は少なくとも前記コンタクトホール9Hが形成された部分を被って形成され、これにより、該画素電極10は該コンタクトホール9Hから露呈されたコンタクト用導電膜3に接続されて構成されている。

【0058】この場合、上述したように、保護膜8に形成されているコンタクトホール9Hは、その段差が滑らかな形状に形成されていることから、画素電極10は段切れを起すことなくコンタクト用導電膜3に接続されるようになる。

【0059】ここで、コンタクト用導電膜3は、その材料が上述のようにCrあるいはその合金で構成され、この金属はITOとのコンタクト性が良好であることが認められていることから、画素電極10とのコンタクトが良好に図れるようになる。

【0060】そして、画素電極10は、その画素電極10に対応する薄膜トランジスタTFTをオンさせるためのゲート信号線2とは異なり、隣接する他のゲート信号線2の一部に前記絶縁膜4および保護膜8を介して重畳され、この重畳部において付加容量素子Caddを構成するようになっている(図2においては、ゲート信号線2の下側に位置づけられる画素電極10が該ゲート信号線2に重畳されて形成されていることを示している)。

#### 【0061】付加容量素子Cadd

ゲート信号線2は、その画素電極10との重畳領域において、一方の電極を形成し、また、画素電極10は、そのゲート信号線2との重畳領域において、他方の電極を形成し、これら各電極によって挟持された絶縁膜4および保護膜8が誘電体膜としての機能を有するようになっている。

【0062】以上説明したように、上述した液晶表示装置によれば、特に、画素電極10とコンタクトの良好なコンタクト用導電層3を別個に設け、このコンタクト用導電層3を介することによって該画素電極10と薄膜トランジスタTFTのソース電極6Sとの接続を図っている。

【0063】そして、ドレイン信号線6と同材料からなるソース電極6Sは、少なくとも異なる金属の2層構造からなり、その下層は前記コンタクト用導電層3とコンタクトの良好な材料から構成されていることから、該コンタクト用導電層3に対するソース電極6Sのコンタクトの信頼性を図ることができるようになる。

【0064】一方、該ソース電極6Sと同材料からなるドレイン信号線6は、その下層を除く他の層はカバレイジの良好な材料から構成されているため、段差の乗り越え部における断線の発生を抑制させることができるようになる。

【0065】〔実施例2〕図4および図5は、本発明に

よる液晶表示装置の他の実施例を示す構成図である。

【0066】上述した実施例1の構成と異なる部分のみを以下に説明する。

#### 【0067】コンタクト用導電膜3

この実施例においては、実施例1に示したようにゲート信号線2と同時に形成するコンタクト用導電膜3は存在せず、それと同一の機能を有するコンタクト用導電膜3が絶縁膜4上に形成されている。

【0068】すなわち、積層構造からなる薄膜トランジスタTFTのソース電極6Sのうち、その下層に位置づけられるCrあるいはその合金からなる金属層6Bを、該ソース電極6Sの本来の形成領域からさらに延在させ、この延在された層に該コンタクト用導電膜3としての機能を持たせるようにしている(このため、上層のA1あるいはその合金からなる金属層6Cは、ソース電極6Sの本来の形成領域にのみ形成されている)。

【0069】この実施例におけるコンタクト用導電膜3も、実施例1に示したコンタクト用導電膜3の材料、すなわちCrあるいはその合金からなっていることから、該コンタクト用導電膜3に対する画素電極の良好なコンタクトが図れるようになる。

【0070】そして、薄膜トランジスタTFTのソース電極6Sの前記コンタクト用導電膜3に対するスルホール接続をする必要がないことから、実施例1と比較して製造工程の低減を図ることができるとともに開口率の向上が図れるようになる。

#### 【0071】ドレイン信号線6

薄膜トランジスタTFTのソース電極6Sと同時に形成するドレイン信号線6は、該ソース電極6Sが上述した構成となっていることから、その積層構造をそれぞれ異なるフォトリソで形成することになる。

【0072】すなわち、下層のCrおよびその合金からなる金属層6Bを、その層と一体に前記コンタクト用導電膜3をも形成するパターンで形成し、その後、前記コンタクト用導電膜3の部分を除いたパターンで上層のA1およびその合金からなる金属層6Cを形成する。

【0073】〔実施例3〕図5は、本発明による液晶表示装置の他の実施例を示す構成図である。

【0074】上述した実施例1の構成と異なる部分のみを以下に説明する。

#### 【0075】導体膜12

この導体膜12は、Crあるいはその合金から構成され、ゲート信号線と同材料であって、かつ該ゲート信号線と同一の構成で形成されるようになっている。

【0076】この導体膜12は、後述のように薄膜トランジスタTFTを構成する絶縁膜4(ゲート絶縁絶縁膜)と半導体層5との同一パターンからなる積層体の下層にその一端が位置づけられ、画素電極10とのコンタクト領域にまで及んで形成されたものとなっている。

【0077】この導体膜12の効果については後述す



る。

#### 【0078】薄膜トランジスタTFT

この薄膜トランジスタTFTを構成する絶縁膜4（ゲート絶縁膜）と半導体層5の順次積層体は、必要な領域に島状に一括して形成され（同一のフォトリソ工程で形成され）、このため、前記絶縁膜4は、他の実施例とは異なり、該半導体層5の形成領域以外の領域にまで延在させて形成されていないものとなっている。

【0079】この場合、ゲート絶縁膜は、その下層において前記導体膜12の一端部のみが位置づけられるようにして形成されている。

#### 【0080】画素電極10

画素電極10は透明基板1上に直接形成され、その一部が前記導体膜12の他端に重畳されて形成されている。

#### 【0081】薄膜トランジスタのソース電極6S

2層構造の積層体からなり、その下層はCrあるいはその合金からなり、上層はAlあるいはその合金からなっている。

【0082】この場合、このソース電極6Sと同一の工程で同時に形成されるドレイン信号線6も同一の材料からなる積層体で構成されている。

【0083】そして、このソース電極6Sは、半導体層5の上面からその側面、さらには絶縁膜4（ゲート絶縁膜）の側面に沿って延在され前記導体膜12の上面にまで至っている。なお、この実施例では、該ソース電極6Sの延在する端部は、前記導体膜12の上の画素電極10に重畳されて形成されることによって、該ソース電極6Sの画素電極10に対する信頼性を確保するようになっている。

【0084】このようなソース電極6Sの前記導体膜12を介した画素電極10の接続構成にすることによって、特に、島状に形成された絶縁膜4（ゲート絶縁膜）の原因によって発生するソース電極6Dの断線を防止することができるようになる。

【0085】すなわち、画素電極10を下層として薄膜トランジスタTFTを形成した場合、そのゲート絶縁膜は、その周辺の一部を前記画素電極10に重畳させて形成するのが通常となる。この場合、この画素電極10に重畳されている部分のゲート絶縁膜は、その形成時にお

けるプラズマ水素の影響によって、その材料の異常成長が見られ、その以上成長の部分において、後に形成するソース電極6Sの断線をもたらすことが確認されている。

【0086】ちなみに、このような欠点を解決させるため、ゲート絶縁膜4と半導体層5の積層体を画素電極10から離間させて形成させ、ソース電極6Sを該積層体と画素電極10との間に露呈されている透明基板1の上を一旦這わせ、さらに画素電極10上に重畳するように延在させることが考えられる。しかし、このようにした場合、該積層体を形成するための選択エッチングの際に該透明基板1に挟れが生じ、この挟れの部分においてソース電極6Sの断線が生じてしまうことから、本質的な解決策とならないものとなる。

【0087】本実施例に示した導体膜12は、上述した欠点を解決できる手段となるものであり、この導体膜12に重畳して形成されたゲート絶縁膜4に上述した異常成長をもたらすようなことがなく、また、該積層体積層体を形成するための選択エッチングの際に挟れを生じさせることもなくなる。

#### 【0088】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、ドレイン信号線の断線を防止できるようになる。

#### 【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す断面図で、図2のI-I線における断面図に相当する。

【図2】本発明による液晶表示装置の一実施例を示す平面図である。

【図3】本発明による液晶表示装置の他の実施例を示す断面図で、図4のII-II線における断面図に相当する。

【図4】本発明による液晶表示装置の他の実施例を示す平面図である。

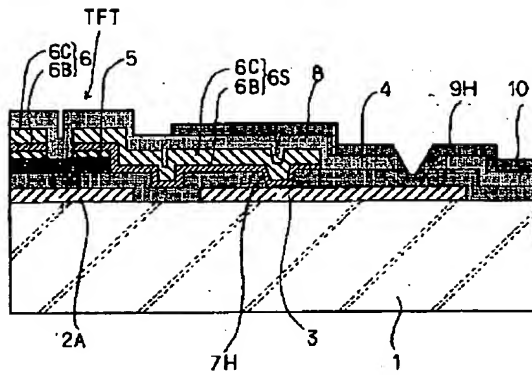
【図5】本発明による液晶表示装置の他の実施例を示す断面図である。

#### 【符号の説明】

3……コネクタ用導電膜、6S……ソース電極、10……画素電極、TFT……薄膜トランジスタ。

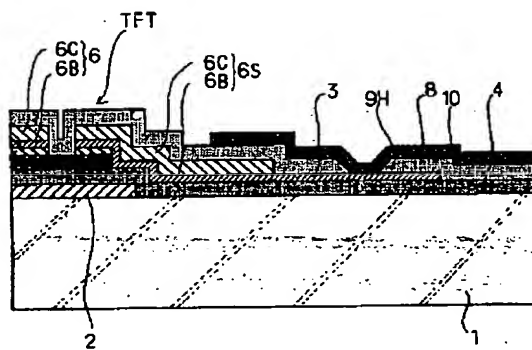
【図1】

図 1



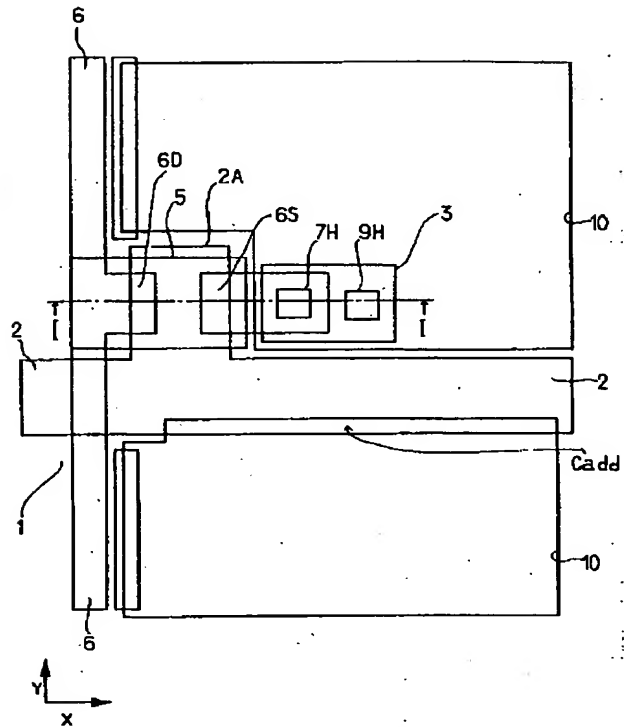
【図3】

図 3



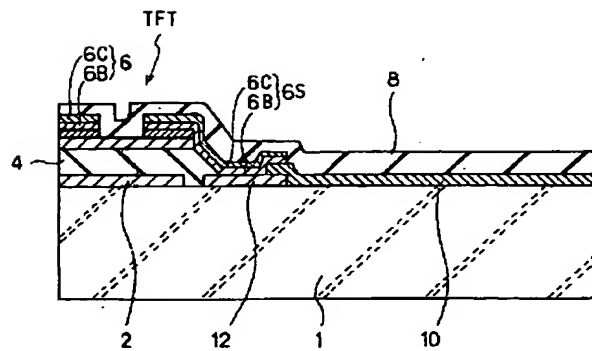
【図2】

図 2



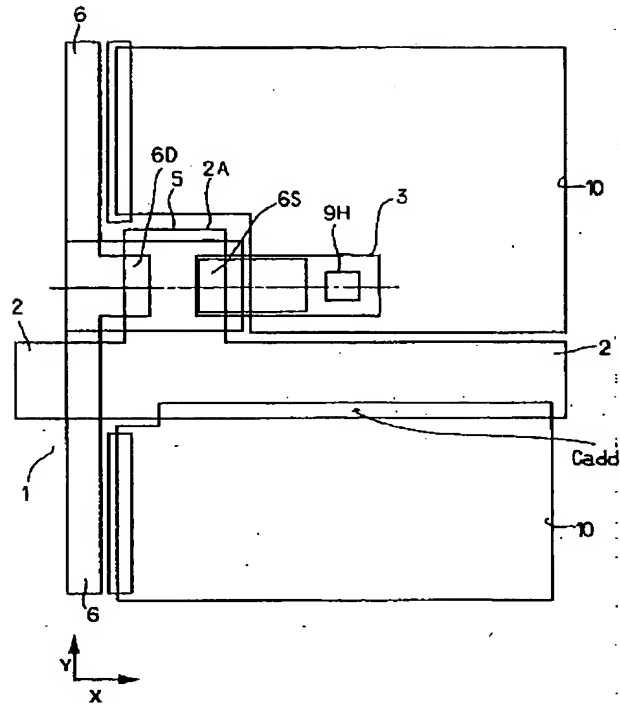
【図5】

図 5



【図4】

図4



フロントページの続き

(72)発明者 鈴木 伸之  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 斎藤 裕  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内